



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07015015 A**(43) Date of publication of application: **17 . 01 . 95**

(51) Int. Cl.

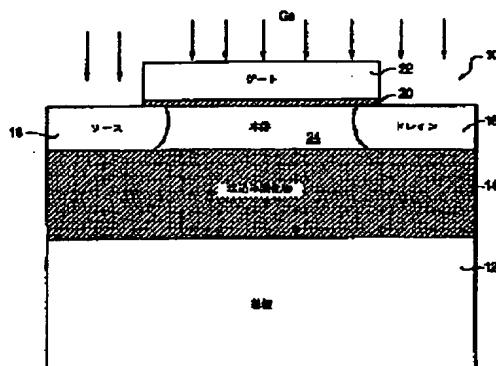
H01L 29/786
H01L 21/336
(21) Application number: **06078654**(22) Date of filing: **18 . 04 . 94**(30) Priority: **30 . 04 . 93 US 93 56042**(71) Applicant: **INTERNATL BUSINESS MACH
CORP <IBM>**(72) Inventor: **BRADY FREDERICK T
HADDAD NADIM F
EDENFELD ARTHUR**(54) **METHOD FOR FORMING INTEGRATED CIRCUIT**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To prevent a latch-up and to increase the breakdown voltage by implanting neutral impurity ions into a silicon transistor element.

CONSTITUTION: An element 10 has a substrate 12, a buried insulating oxide 14, a drain region 16 and a source region 18. A main body region 24 is a channel region under a gate between the source region and the drain region of the element. In a treatment operation, an annealing treatment is performed after neutral species are implanted to remove a damage caused by implantation. Since the neutral impurities include VIII group atoms such as krypton, xenon, germanium and the atoms are large in size and cause turbulence in a band structure, the scattering centers to high energy carriers in a transistor increases. When a drain field having a neutral impurity center is constant, a collision ionization current decreases and a parasitic bipolar effect also decreases, which can prevent a latch-up and increase the breakdown voltage.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-15015

(43) 公開日 平成7年(1995)1月17日

(51) Int.Cl.⁴

H 0 1 L 29/786

21/336

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/ 78

3 1 1 Y

審査請求 有 請求項の数9 OL (全 5 頁)

(21) 出願番号 特願平6-78654

(22) 出願日 平成6年(1994)4月18日

(31) 優先権主張番号 0 5 6 0 4 2

(32) 優先日 1993年4月30日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 フレデリック・ティ・ブラディ

アメリカ合衆国22021、バージニア州チャ
ニトリィ、ノバー・ドライブ 4152

(74) 代理人 弁理士 合田 潔 (外2名)

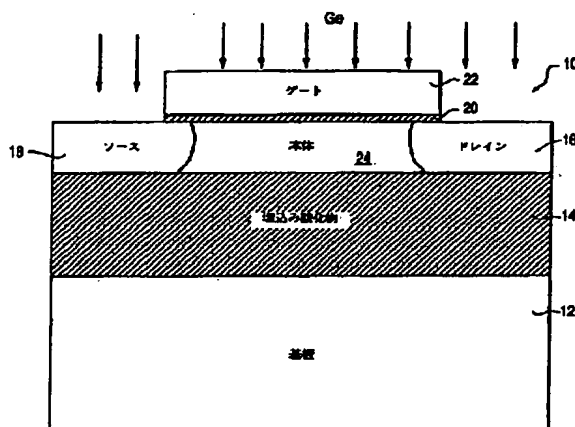
最終頁に続く

(54) 【発明の名称】 集積回路の形成方法

(57) 【要約】

【目的】 中性不純物イオンをシリコン・トランジスタ素子に注入することによってラッチアップを防ぎ、ブレークダウン電圧を高める。

【構成】 クリプトン、キセノン、ゲルマニウム等の中性不純物イオンが素子10に注入され、拡散中心が形成される。注入物はドレイン/本体接合部の高電界領域に拡散中心を形成するために用いられる。拡散中心により、電子の平均自由工程が減少し、よって電子が得るエネルギーも減少する。キャリアのエネルギーは低いので衝突電離も少なくなる。不純物原子はシリコン原子よりかなり大きくしなくてはならない。このサイズの違いにより拡散中心が生成される。



【特許請求の範囲】

【請求項1】寄生ラッチアップが少なく、ブレイクダウン電圧が大きい集積回路を形成する方法であって、

- a) 半導体基板を与えるステップと、
 - b) 上記基板上に酸化物層を成長させるステップと、
 - c) 上記基板全面に大径の中性原子を注入するステップと、
 - d) 上記基板上に能動素子を形成するステップと、
 - e) 上記基板上に導電体を形成して上記素子を相互接続するステップと、
- を含む方法。

【請求項2】上記全面注入ステップと能動素子形成ステップの順序を逆にした、請求項1記載の方法。

【請求項3】上記基板がシリコンである、請求項1記載の方法。

【請求項4】上記基板がシリコン・オン・インシュレータである、請求項1記載の方法。

【請求項5】上記集積回路がMOSFETである、請求項1記載の方法。

【請求項6】上記大径の中性原子が、クリプトン、アルゴン及びゲルマニウムから成るグループから選択される、請求項1記載の方法。

【請求項7】上記イオンが、50KeV乃至60KeVで 1×10^{14} 原子/cm²乃至 1×10^{16} 原子/cm²のドーズ範囲で注入されるゲルマニウムである、請求項1記載の方法。

【請求項8】基板、上記基板上に形成された半導体素子、及び上記半導体素子を相互接続する導電体を含む集積回路において、大径の中性原子を上記基板全面に注入するステップを含む集積回路形成方法。

【請求項9】上記中性原子が、クリプトン、アルゴン及びゲルマニウムから成るグループから選択される、請求項8記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体素子の処理に関し、特に、SOI（シリコン・オン・インシュレータ）素子におけるラッチアップの防止とブレイクダウン電圧の増加に関する。

【0002】

【従来の技術】SOI基板に形成される回路や素子は、バルク・シリコン基板に形成される同一回路に比べて多くの利点のあることがわかっている。SOI技術は、速度と放射線耐性の向上により拡張集積回路の製造方法として有望であると大いに宣伝されているが、SOI素子では、寄生バイポーラによってラッチアップ／ブレイクダウン電圧が生じ、これがSOIの回路と素子が作動する最大電源電圧を制限する。この寄生素子がオンになると、SOI素子はそのゲート・バイアスを変えてもオフにすることができない。この単一トランジスタのラッチ

アップはまた非常に低いブレイクダウン電圧として現われる。SOI素子自体のラッチアップ効果は、トランジスタ本体の少数キャリアと多数キャリアとの定常平衡により生成される正のフィードバック・メカニズムが原因である。ゲート電圧が一定の場合、ドレイン電圧が増加すると、本体とドレインの接合部における電界は、衝突電離によって電子と正孔の対が生成されるのに十分な強さになる。多数キャリア（ドーバント型がソース／ドレインと同じキャリア）はドレイン側に収集され、少数キャリアはトランジスタ本体の方向へ移動する。SOI素子では、トランジスタ本体が酸化物によって基板から分離される。そのため少数キャリアはトランジスタ本体に集まる。ドレイン・バイアスが十分に高ければ、本体における少数キャリアの濃度により、本体の通常の定常電位が乱れる。これを補正するため多数キャリアがソースから注入される。これらのキャリアはそこでドレインと本体の接合部の高電界領域に拡散し、衝突電離による電子と正孔の対を更に増やし、素子にランナウェイ（run-away）電流を生じさせる。

【0003】従来技術では、素子自体のラッチアップ／ブレイクダウン効果が生じるドレイン側の電圧を増加させるための方法が説明されている。このような方法は、一定のドレイン・バイアスに対してドレインの電界を弱めるか（LDD法）、またはトランジスタの本体に余分なコンタクトを追加することによって、それを一定の電位に保ち、余剰キャリアのシンクになるようにすること（本体結合法）を基本にしている。

【0004】本体結合法では、余分なコンタクトがトランジスタ本体に接続されて電位のフローティングが防止されるか、または重度ドーブのストラップにより本体とソースが短絡される。しかし本体結合法は、膜厚が大きいSOI素子にしか有効ではない。膜が薄くなると本体のシート抵抗が増し、本体結合法に集まる余剰電流の割合が少なくなる。その結果、余分な結合法やストラップが必要になり、必要な素子領域がかなり増加する。また、本体結合法を実現するには、バルク・シリコン・トランジスタ技術の設計を大幅に変更しなければならない。つまり、本体結合法を採用した回路は、最初からSOIを目的に設計しなければならず、そのためにコストが増加する。

【0005】LDD法は、本体／ドレイン接合部の電界を小さくするために、この領域のドーバント勾配を（超重度ドーブのドレインから軽度ドーブの本体まで）小さくするものである。これはスペーサにより、ドレインを本体からはっきり分けることによって行なわれる。スペーサ領域の抵抗は追加注入により低下する。この方法は動作電圧を簡単に増加させるために応用できるが、その代わり回路速度が低下する。最大動作電圧を考慮して回路速度を最適化するのは困難である。またLDD法では、トランジスタ製造プロセスの処理工程が多くなる。

【0006】もう1つの方法として、トランジスタ本体の少数キャリアのライフタイムを短くするものがある。キャリアが素早く再結合する時には、正のフィードバック・メカニズムを生起させるのに充分なだけ本体の電位を乱すために大きいキャリア流入が必要である。つまり、正のフィードバック・メカニズムが生じる電圧が増加する。しかし、生成ライフタイムを伸ばさずに再結合ライフタイムを短縮することは難しい。生成ライフタイムとは熱効果によるキャリアの生成を言う。熱生成されたキャリアは、オフ状態の素子の漏れ電流の原因になる。形成される素子のゲートが短いと、最大ドレイン電圧を上げるには再結合ライフタイムを短くしなければならない。しかし生成ライフタイムはこれに比例して減少するので、サブミクロン素子では漏れ電流が過剰に生じる。また素子が縮小されると最小許容漏れ電流が減少する。

【0007】

【発明が解決しようとする課題】ここで求められるものは、ラッチアップが生じる動作電圧が大幅に増加し、よって適切な電源電圧で回路動作が可能になる方法である。本発明は、この要求を満たすのに適した集積回路形成方法を提供するものである。

【0008】

【課題を解決するための手段】本発明は、シリコン・トランジスタ素子に中性不純物イオンを注入することで素子の動作電圧を改良する方法である。注入物は、ドレイン/本体接合部の高電界領域に散乱中心を形成するために用いられる。散乱中心は電子の平均自由行程を短縮し、よって電子が得るエネルギーを減少させるものである。キャリアはエネルギーが低いので発生する衝突電離は少ない。中性不純物は、クリプトン、キセノン等のV I I族原子を含む。ゲルマニウムも、シリコン内で電気的に中性なので使用できる。不純物原子がシリコン原子よりもかなり大きいという点が鍵である。サイズの違いにより散乱が生じる。

【0009】

【実施例】本発明は、中性不純物を使用して、トランジスタの高電界領域に散乱中心を生成するものである。中性不純物は、クリプトン、キセノン、ゲルマニウム等のV I I族原子を含む。これらの原子のサイズが大きく、バンド構造に攪乱が生じるため、トランジスタ内の高エネルギー・キャリアに対する散乱中心が増える。電子または正孔が高電界領域に蓄積するエネルギーの量は、電子または正孔が、散乱中心に出会う前にどの程度遠くまで移動するか依存する。つまり、中性不純物中心を持つドレイン電界が一定のとき、衝突電離電流は減少し、よって寄生バイポーラ効果も減少する。

【0010】典型的なSOI素子を図1に示す。素子10は、基板12、埋込み絶縁酸化物14、ドレイン領域16、及びソース領域18を持つ。本体領域24は、素

子のソース領域とドレイン領域との間のゲート下のチャネル領域である。処理工程では、中性種が注入されてからアニール処理が行なわれ、注入による損傷が取り除かれる。注入は工程の途中で数回行なうことができる。例えば、(ダミー・ゲート酸化物により)横方向の分離帯を形成した後や、ゲートの画成後に行なうことができる。

【0011】本発明は、ゲルマニウムの注入によってその効果が明らかになった。注入に最適なエネルギーは、部分的には、トランジスタが表面チャネルか、または埋込みチャネル素子かに依存するが、注入エネルギーが存在し、それ以下では、表面が大きく損傷し、それ以上では膜がアモルファス化する。本発明の特定のプロセスでは、60 KeVのエネルギーが用いられたが、50 KeV乃至60 KeVの範囲で使用しうる。注入ドーズ量は 1×10^{14} 原子/cm²乃至 1×10^{16} 原子/cm²の範囲であるのが好ましい。

【0012】注入後には、ウエハをアニール処理して注入による損傷を取り除くことが大切である。アニール処理の温度は約900℃、時間は少なくとも30分として注入損傷をなくし、トランジスタの漏れ性をなくす。

【0013】本発明は、従来技術について先に述べた問題を解決するものである。例えば、中性不純物注入法は、本体結合法とは異なり、バルク設計に対応するものである。また中性不純物注入法は、LDD法とも異なり非常にシンプルであり、素子の性能を劣化させない。更に本発明の方法は、ライフタイム短縮法とは異なって、素子の漏れ電流を増加させない。

【0014】本発明のプロセスは、ゲルマニウムの注入物を用いて実施された。中性不純物を注入していないSOI素子について測定したドレイン電流とゲート電圧のI-V特性を図2に示す。第2図及び第3図において、横軸の1目盛は0.45Vである。ドレイン・バイアスが約3ボルトの時、ゲートは素子電流の制御を失い始める(自己ラッチアップが始まる)。中性不純物の注入を除いて同じ処理がされた同じ寸法の素子の場合、自己ラッチアップが起こるのは約4ボルトである。別の結果を示した図4では、2つの素子ウエハ上にnチャネルとpチャネルの両方の素子を用い、中性不純物を注入した場合と注入しない場合についてラッチアップ電圧を測定した。本方式の有効性を更に明らかにするために、ゲルマニウムの注入に1ロットのウエハを用い、ウエハの半数は中性不純物を注入し、他の半数は注入しなかった。測定は147個の素子について行なった。注入物を使用したことにより、ラッチアップが平均1.04ボルト改良されることがわかった。

【0015】

【発明の効果】ラッチアップが生じる動作電圧が大幅に増加し、よって適切な電源電圧で回路動作が可能になる。中性不純物注入法は、本体結合法とは異なり、バル

ク設計に対応する。またLDD法とは異なり非常にシンプルであり、素子の性能を劣化させない。更にライフタイム短縮法とは異なり素子の漏れ電流を増加させない。

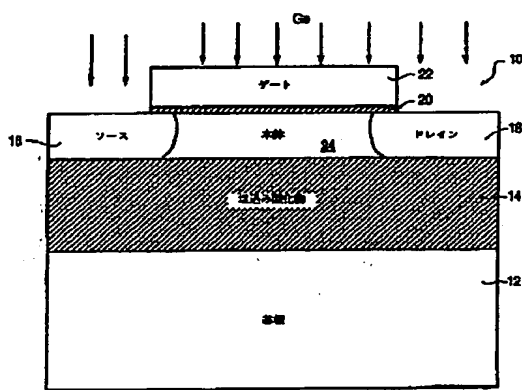
【図面の簡単な説明】

【図1】SOI技術によって形成された半導体素子の断面図である。

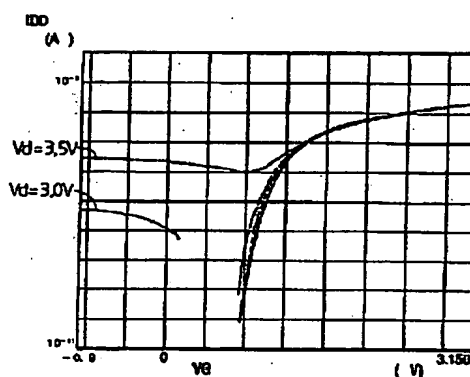
【図2】注入物を含まない素子のラッチアップ電圧を示す図である。

【図3】本発明に従ってゲルマニウムを注入した素子のラッチアップ電圧を示す図である。

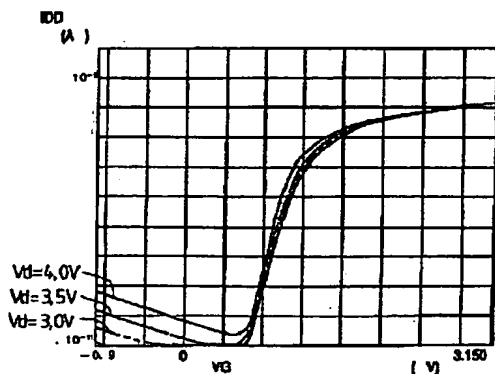
【図1】



【図2】



【図3】

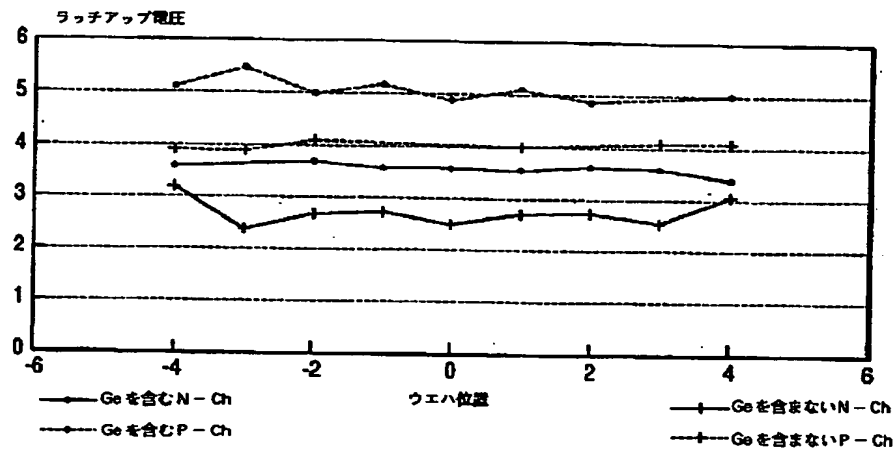


*【図4】ゲルマニウムを注入したトランジスタと注入していないトランジスタについてラッチアップ電圧を比較した図である。

【符号の説明】

- 10 素子
- 12 基板
- 14 埋込み絶縁酸化物
- 16 ドレイン領域
- 18 ソース領域
- *10 24 本体領域

【図4】



フロントページの続き

(72)発明者 ナディム・エフ・ハダッド
 アメリカ合衆国22124、バージニア州オー
 クトン、ベリーランド・ドライブ 2704

(72)発明者 アーサー・エデンフェルド
 アメリカ合衆国24459、バージニア州ミド
 ルブルック、ボックス44、スター・ルート
 (番地なし)